

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

MANUFACTURE OF SEMICONDUCTOR LASER

Patent Number: JP63222489
Publication date: 1988-09-16
Inventor(s): SHAKUDA YUKIO; others: 05
Applicant(s): ROHM CO LTD
Requested Patent: ☐ JP63222489
Application Number: JP19870056243 19870311
Priority Number(s):
IPC Classification: H01S3/18; H01L21/205
EC Classification:
Equivalents: JP1885687C, JP6009274B

Abstract

PURPOSE:To reduce a gap between an active layer and a current blocking region by forming the current blocking region by means of ion implantation of impurities or the like on the intermediate stage before forming an upper clad layer and a cap layer having fixed thicknesses.
CONSTITUTION:A lower clad layer 2 of an n-type AlGaAs, an AlGaAs active layer 3, a p-type AlGaAs upper part first clad layer 4, an n-type AlGaAs upper part second clad layer 5 and a GaAs protective layer 6 are by turns epitaxially grown on an n-type GaAs substrate 1. Next, ions are implanted or diffused from the surface to form a stripe 5a and a current blocking region 5b, which are of an isoconductive type to the first clad layer 4, on the upper second clad layer 5. Further, a third clad layer 8 and a cap layer 9 are by turns formed on the second clad layer 5. In this way, thickness of the stripe 5a can be formed with high dimension accuracy so as to be able to reduce a gap (t) between the active layer 3 and the current blocking layer 5b.

Data supplied from the esp@cenet database - I2

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)9月16日

H 01 S 3/18
H 01 L 21/2057377-5F
7739-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体レーザの製造方法

⑯ 特 願 昭62-56243

⑰ 出 願 昭62(1987)3月11日

⑱ 発明者	尺 田 幸 男	京都府京都市右京区西院溝崎町21番地	ローム株式会社内
⑱ 発明者	田 中 治 夫	京都府京都市右京区西院溝崎町21番地	ローム株式会社内
⑱ 発明者	虫 上 雅 人	京都府京都市右京区西院溝崎町21番地	ローム株式会社内
⑱ 発明者	楠 薫	京都府京都市右京区西院溝崎町21番地	ローム株式会社内
⑱ 発明者	井 川 克 彦	京都府京都市右京区西院溝崎町21番地	ローム株式会社内
⑱ 発明者	石 田 祐 士	京都府京都市右京区西院溝崎町21番地	ローム株式会社内
⑲ 出 願 人	ローム株式会社	京都府京都市右京区西院溝崎町21番地	
⑳ 代 理 人	弁理士 小森 久夫		

明 細 書

1. 発明の名称

半導体レーザの製造方法

2. 特許請求の範囲

(1) 基板上に下部クラッド層、活性層、下部クラッド層と逆伝導型の上部第1クラッド層、下部クラッド層と同型の上部第2クラッド層をこの順に形成した後、表面から上部第1クラッド層まで不純物をイオン打ち込みまたは拡散して上部第2クラッド層に第1クラッド層と同伝導型のストライプを形成する工程と、上部第2クラッド層上に上記ストライプと同伝導型の上部第3クラッド層とキャップ層をこの順に形成する工程からなる半導体レーザの製造方法。

3. 発明の詳細な説明

(4) 産業上の利用分野

この発明は、半導体レーザの製造方法に関する。

(5) 従来の技術

従来より半導体レーザは光情報処理や光通信用の電子部品として用いられており、その応用分野は多岐に渡ろうとしている。半導体レーザに要求される特性の一つとしてしきい値電流すなわち自然発光状態からレーザ発光状態に変化する半導体レーザの順方向電流をいかに低減するかが技術的課題の一つであった。

第2図(A)、(B)は従来の半導体レーザの製造方法を表す断面図である。同図(A)において1はn型GaAsの基板、2はn型AlGaAsのクラッド層、3は不純物を含まないAlGaAsの活性層、5はp型AlGaAsのクラッド層、9はp型のGaAsのキャップ層をそれぞれ表している。このように基板上に各層を成長させた後、同図(B)に示すようにプロトンなどを打ち込むことにより電流阻止領域10を形成する。このようにして電流阻止領域間(以下ストライプという。)における活性層での電流の集中度を高めている。

ところが、電流阻止領域をプロトンの打ち込み

などにより増進化したことにより、活性層 結晶性が乱れ、寿命などに悪影響を及ぼしていた。そこでクラッド層の一部を逆の伝導型にすることにより電流阻止領域を形成すれば、この問題を解消することができる。第3図(A)、(B)はその例を表している。同図(A)は第2図(A)に示したものと同様の構成であり、基板の上に各層を成長させた後、第3図(B)に示すようにストライプを形成すべき箇所以外に不純物を拡散またはイオン打ち込みを行うことによりn型の電流阻止領域11を形成している。

(i) 発明が解決しようとする問題点

ところが、第3図(B)に示した従来の半導体レーザにおいては、活性層において光励起が行われてレーザ発光するため、活性層での電流の集中度を高める必要がある。そのためには図中の1の寸法をできるだけ小さくしなければならない。一方、p型クラッド層5は光の導波路となるのである程度厚くなければ光損失が大きくなる。また、キャップ層9はヒートシンクとの半田付けの際半田

材の半活性層への影響を防止し、さらに、電極金属の影響を防止するためある程度厚くなければ実用上問題が発生する。そこでこれらの二つの層で3~数 μm の厚さが必要である。ところが、拡散・イオン打ち込みともに3~数 μm の深さにおいて100Å程度の精度をもたせることは困難であり、したがって活性層のごく近傍まで電流阻止領域11を形成することが困難である。

さらに、p型クラッド層5とp型キャップ層9とで3~数 μm の厚さになり、電流の集中するストライプの層が厚く、抵抗値が高くなる。

このような理由でしきい値電流は低減されず、動作電圧の上昇および発熱の問題があった。この発明の目的は、前述の1の寸法を容易に小さくし、しきい値電流の低い半導体レーザを得ることのできる半導体レーザの製造方法を提供することにある。

(ii) 問題点を解決するための手段

この発明の半導体レーザの製造方法は、基板の上に下部クラッド層、活性層、下部クラッド層と逆

伝導型の上部第1クラッド層、下部クラッド層と同型の上部第2クラッド層をこの順に形成した後、表面から上部第1クラッド層まで不純物をイオン打ち込みまたは拡散して上部第2クラッド層に第1クラッド層と同伝導型のストライプを形成する工程と、上部第2クラッド層上に上記ストライプと同伝導型の上部第3クラッド層とキャップ層をこの順に形成する工程からなることを特徴としている。

(iii) 作用

この発明の半導体レーザの製造方法においては、基板の上に下部クラッド層、活性層、上部第1クラッド層および第2クラッド層をこのような順に形成した段階で、表面から上部第1クラッド層まで不純物をイオン打ち込みまたは拡散することにより上部第2クラッド層にストライプが形成される。その後、上部第2クラッド層上にストライプと同伝導型の上部第3クラッド層とキャップ層がこの順に形成される。このように所定厚さの上部クラッド層とキャップ層を形成する前の中間段階で、

不純物のイオン打ち込みまたは拡散により電流阻止領域を形成するため、電流阻止領域の寸法精度が高まり、前述の1の小さな半導体レーザが得られる。

(iv) 実施例

第1図(A)~(D)はこの発明の実施例である半導体レーザの製造方法を表す各工程における断面図である。

同図(A)において1は幅250 μm 、横250 μm 、厚さ200 μm のn型Ga_{0.45}As基板、2は厚さ1.5 μm のn型Al_{0.15}Ga_{0.85}Asの下部クラッド層、3は厚さ800Åの不純物を含まないAl_{0.15}Ga_{0.85}Asの活性層、4は厚さ0.2 μm のp型Al_{0.15}Ga_{0.85}Asの上部第1クラッド層、5は厚さ0.4 μm のn型Al_{0.15}Ga_{0.85}Asの上部第2クラッド層、6は厚さ400Åの不純物を含まないGaAsの保護層をそれぞれ表している。これらの各層は基板1の上面に分子線エピタキシャル法によってそれぞれ順に成長させる。

次に同図(B)に示すように成長させたウエハを取り出し、フォトリソグラフィ法により、ストライプ部を形成すべき幅4 μ mの領域を除く領域に厚さ1.5 μ mのレジストを付着させる。その後Mgイオンを加速電圧120KeV、ドーズ量 1×10^{17} cm $^{-2}$ の条件で打ち込む。このときの打込深さは0.6 μ mである。この程度の強いイオン打込または拡散であれば、約100Åの正確さで深さを制御することができる。従って電流阻止領域5bと活性層3との隙間1は上部第1クラッド層4の厚みにより定まるから、イオン打込みまたは拡散深さの精度に応じてその寸法を小さくすることができる。

次に、有機洗浄によってレジスト7を除去した後、分子線エビタキシャル成長室に入れる。ウエハに対してAsの分子線を当てながら、温度を750~760℃で約30分間保持する。保護層であるGaAsの蒸発速度は0.7~1.0 μ m/hであるのに対し、Al ν 、Ga ν 、Asである上部第2クラッド層の蒸発速度は0.05 μ m/

h以下である。このため、第1図(C)に示すように保護層が選択的に蒸発される。また、このとき第1図(B)に示した工程で打ち込まれたMgイオンがアニール効果で活性化してストライプ5aの領域がp型化する。尚、分子線エビタキシャル成長の成長室内は超高真空状態であり、クラッド層のAsは酸化することなく、次に述べるようにこのクラッド層上に上部第3クラッド層をそのまま成長させることができる。

第1図(D)に示すように、上部第2クラッド層上に更にp型のAl ν 、Ga ν 、Asの上部第3クラッド層8を厚さ0.9 μ mになるまで分子線エビタキシャル成長させ、更にその表面にp型のGaAsのキャップ層9を厚さ2 μ mになるまで分子線エビタキシャル成長させる。

以上のようにして活性層と電流阻止領域5bとの隙間1が小さく、しかも所定厚さの上部クラッド層が形成された半導体レーザが製造される。

尚、この実施例においては、電流阻止領域5bがクラッド層と同じ組成のAlGaAsであるた

め、活性層から広がる光がこの阻止領域で吸収されることがなく、従ってストライプの幅を狭くし、1を薄くすることによりしきい値電流等を容易に改善することができる。

(4)発明の効果

以上のようにこの発明によれば、ストライプの厚みを高い寸法精度により形成することができるため、活性層と電流阻止層との隙間1を小さくすることかできる。またストライプ部の厚みを薄くし、しかも上部クラッド層の厚みを所定寸法に形成することができるため、ストライプにのみ電流を集中させることができ、しきい値電流を低減することができる。

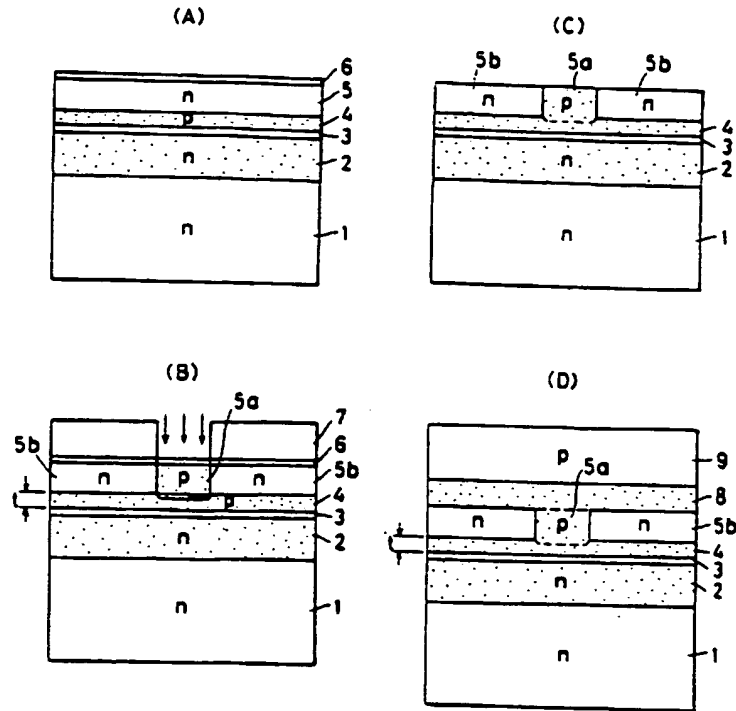
4.図面の簡単な説明

第1図(A)~(D)はこの発明の実施例である半導体レーザの製造方法の各工程を表す断面図、第2図(A)、(B)と第3図(A)、(B)は従来の半導体レーザの製造方法を表す断面図である。

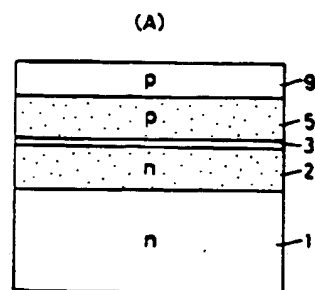
- 1-基板、2-下部クラッド層、
- 3-活性層、4-上部第1クラッド層、
- 5-上部第2クラッド層、5a-ストライプ、
- 5b-電流阻止領域、8-上部第3クラッド層、
- 9-キャップ層。

出願人 ローム株式会社
代理人 弁理士 小森久夫

第1圖



第2圖



第3圖

